

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Mitsuaki Hori, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **September 16, 2003**

For: **SEMICONDUCTOR DEVICE, MANUFACTURE AND EVALUATION METHODS
FOR SEMICONDUCTOR DEVICE, AND PROCESS CONDITION EVALUATION
METHOD**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 16, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-270251, filed September 17, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



Donald W. Hanson
Attorney for Applicants
Reg. No. 27,133

DWH/jaz
Atty. Docket No. 031111
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月17日

出願番号

Application Number: 特願2002-270251

[ST.10/C]:

[JP2002-270251]

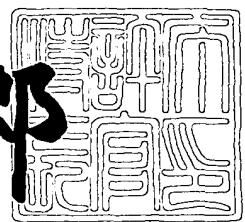
出願人

Applicant(s): 富士通株式会社

2003年 2月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3004684

【書類名】 特許願

【整理番号】 0240948

【提出日】 平成14年 9月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置、半導体装置の製造方法と評価方法、及びプロセス条件評価方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 堀 充明

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 田村 直義

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
株式会社内

【氏名】 滋野 真弓

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705794

【包括委任状番号】 0109607

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法と評価方法、及びプロセス条件評価方法

【特許請求の範囲】

【請求項1】 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコンで形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、

前記ゲート絶縁膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である半導体装置。

【請求項2】 前記ゲート絶縁膜の厚さが3nm以下である請求項1に記載の半導体装置。

【請求項3】 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコン膜と、該窒化酸化シリコン膜よりも誘電率の高い高誘電率膜とがこの順番に積層されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、

前記窒化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である半導体装置。

【請求項4】 半導体基板の表面上に窒化酸化シリコン膜を形成する工程と

前記窒化酸化シリコン膜の上に、ゲート電極用の導電膜を形成する工程と、
前記導電膜をパターニングして、ゲート電極を残す工程と、
前記ゲート電極の両側の半導体領域に不純物を注入し、ソース及びドレイン領域を形成する工程と
を有し、

前記窒化酸化シリコン膜を形成する工程において、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下になる条件で前記窒化酸化シリコン膜を形成する半導体装置の製造方法。

【請求項5】 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、

前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率を測定する工程と、

測定された存在比率に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたMISFETの特性を評価する工程と
を有する半導体装置の特性評価方法。

【請求項6】 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、

前記窒化酸化シリコン膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定する工程と、

前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離する工程と、

前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比を求める工程と、

求められたピークの面積の比に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたM I S F E Tの特性を評価する工程と
を有する半導体装置の特性評価方法。

【請求項7】 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、

前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率を測定する工程と、

測定された存在比率に基づいて、前記窒化酸化シリコン膜の形成工程におけるプロセス条件の妥当性を判断する工程と
を有するプロセス条件評価方法。

【請求項8】 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、

前記窒化酸化シリコン膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定する工程と、

前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離する工程と、

前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比を求める工程と、

求められたピークの面積の比に基づいて、前記窒化酸化シリコン膜の形成工程におけるプロセス条件の妥当性を判断する工程と
を有するプロセス条件評価方法。

【請求項9】 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコンで形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域と
を有し、

前記ゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定し、前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離したとき、前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比が20%以下である半導体装置。

【請求項10】 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコン膜と、該窒化酸化シリコン膜よりも誘電率の高い高誘電率膜とがこの順番に積層されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域と
を有し、

前記ゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定し、前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離したとき、前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比が20%以下である半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート絶縁膜に窒化酸化シリコン膜を用いた半導体装置、半導体装置の製造方法と評価方法、及び窒化酸化シリコン膜を形成する工程のプロセス条件判定方法に関する。

【0002】

【従来の技術】

半導体集積回路装置の微細化、高集積化により、相補型MOS電界効果トランジスタ(CMOSFET)のゲート絶縁膜の薄膜化が進んでいる。ゲート絶縁膜の薄膜化が進むと、PチャネルMOSFETのゲート電極に注入されたボロンがゲート絶縁膜を通過してチャネル領域まで拡散する場合がある。ゲート絶縁膜の材料として、酸化シリコンに窒素を導入した窒化酸化シリコンを用いることにより、ボロンの拡散(ボロン抜け)を防止することができる。酸化シリコンへの窒素の導入方法として、抵抗加熱式やランプ加熱式の熱処理装置を用い、アンモニア(NH_3)ガス、NOガス、または N_2O ガス雰囲気中で熱処理を行う方法が一般的である。

【0003】

近年、より多くの窒素を導入する技術として、窒素プラズマを用いる方法が提案されている。ゲート絶縁膜中の窒素濃度を高めることにより、ボロン抜け防止効果を高めることができる。さらに、窒素濃度が高くなると、ゲート絶縁膜の誘電率が酸化シリコンの誘電率よりも高くなり、同一の静電容量を確保するために、ゲート絶縁膜を厚くすることができる。これにより、ゲートリーク電流を少なくすることが可能になる。

【0004】

抵抗加熱式やランプ加熱式の熱処理装置を用いて窒素の導入を行うと、窒化酸化シリコン膜とシリコン基板との界面近傍にピークを持つ窒素濃度分布が得られる。これに対し窒素プラズマを用いて窒素の導入を行うと、窒化酸化シリコン膜の厚さ方向の中央部分や、それよりも表面に近い位置にピークを持つ窒素濃度分布を得ることができる。ゲート絶縁膜とチャネルとの界面近傍の窒素濃度を高くすることなく、膜中の窒素濃度を高めることができるために、MISFETの電気的特性(キャリア移動度等)や信頼性を高めることができる。

【0005】

ところが、窒素導入の仕方によっては、MISFETの性能の指標である相互コンダクタンス(G_m)を劣化させてしまうことが知られている(非特許文献1)

参照)。

【0006】

特許文献1に、高速動作が可能で信頼性の高いMISFETを提供するゲート絶縁膜の好ましい構成が記載されている。このゲート絶縁膜は窒化酸化シリコンで形成され、シリコン基板とゲート絶縁膜との界面近傍にのみ窒素が分布し、界面近傍で、すべての窒素原子が2つのシリコン原子と1つの酸素原子とに結合しているか、またはすべての窒素原子が3つのシリコン原子と結合している。

【0007】

この公知例では、シリコン基板とゲート絶縁膜との界面から離れたゲート絶縁膜中や、ゲート絶縁膜の表面近傍に窒素を導入するプラズマ窒化プロセスを利用することが困難である。また、ゲート絶縁膜がますます薄くなった場合に、ゲート絶縁膜とシリコン基板との界面近傍にのみ窒素を分布させることは困難である。

【0008】

【特許文献1】

特開平11-204787号公報

【非特許文献1】

Chien-Hao Chen, Downscaling Limit of Equivalent Oxide Thickness in Formation of Ultrathin Gate Dielectric by Thermal-Enhanced Remote Plasma Nitridation, IEEE TRANSACTIONS ON ELECTRON DEVICES, MAY 2002, VOL.49, NO.5, p.840-845

【0009】

【発明が解決しようとする課題】

多種多様なゲート絶縁膜の形成方法が考えられる中で、よりよい性能を有する半導体装置をより早く市場に提供するために、ゲート絶縁膜の窒化状態と、MISFETの性能指標、例えば相互コンダクタンス (Gm) との関係を明らかにする必要がある。両者の関係が明らかになれば、窒化酸化シリコン膜の分析を行うことにより、その窒化酸化シリコン膜をゲート絶縁膜に用いたMISFETの性能を予測することが可能になる。

【0010】

本発明の目的は、ゲート絶縁膜に窒化酸化シリコンを用い、電気的特性に優れた半導体装置、及びその製造方法を提供することである。

本発明の他の目的は、ゲート絶縁膜に窒化酸化シリコンを用いた半導体装置の電気的特性を評価する方法を提供することである。

【0011】

本発明の他の目的は、ゲート絶縁膜に用いられる窒化酸化シリコン膜形成プロセスの良否を判定する方法を提供することである。

【0012】

【課題を解決するための手段】

本発明の一観点によると、半導体基板と、前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコンで形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に配置されたゲート電極と、前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、前記ゲート絶縁膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である半導体装置が提供される。

【0013】

本発明の他の観点によると、半導体基板の表面上に窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜の上に、ゲート電極用の導電膜を形成する工程と、前記導電膜をパターニングして、ゲート電極を残す工程と、前記ゲート電極の両側の半導体領域に不純物を注入し、ソース及びドレイン領域を形成する工程とを有し、前記窒化酸化シリコン膜を形成する工程において、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下になる条件で前記窒化酸化シリコン膜を形成する半導体装置の製造方法が提供される。

【0014】

上記存在比率を20%以下にすることにより、半導体装置の電気的特性を高く維持することが可能になる。

本発明の他の観点によると、半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率を測定する工程と、測定された存在比率に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたMISFETの特性を評価する工程とを有する半導体装置の特性評価方法が提供される。

【0015】

上記存在比率から、実際にMISFETを作製することなく、MISFETの電気的特性を予測することができる。

本発明の他の観点によると、半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定する工程と、前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離する工程と、前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比を求める工程と、求められたピークの面積の比に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたMISFETの特性を評価する工程とを有する半導体装置の特性評価方法が提供される。

【0016】

上記面積比から、実際にMISFETを作製することなく、MISFETの電気的特性を予測することができる。

上述の方法で窒化酸化シリコン膜の分析を行うことにより、窒化酸化シリコン膜形成工程のプロセス条件を良否を判定することができる。

【0017】

本発明の他の観点によると、半導体基板と、前記半導体基板の表面の一部の領

域上に配置され、窒化酸化シリコンで形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に配置されたゲート電極と、前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、前記ゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定し、前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離したとき、前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比が20%以下である半導体装置が提供される。

【0018】

上記面積比を20%以下にすることにより、半導体装置の電気的特性を高く維持することが可能になる。

【0019】

【発明の実施の形態】

窒化酸化シリコンからなるゲート絶縁膜を有するMISFETの性能と、窒化酸化シリコンの組成との関連性を見つけ出すために、シリコン基板上に種々の方法で窒化酸化シリコン膜を成膜し、試料A～Fの6個のMISFETを作製した。試料A～Eにおいては、まず、シリコン基板の表面を、900°Cの酸素雰囲気中で酸化し、厚さ0.85nmの酸化シリコン膜を形成した。試料Fにおいては、シリコン基板の表面をN₂Oガスを含む酸化性雰囲気中で酸化し、厚さ0.85nmの酸化シリコン膜を形成した。

【0020】

試料Aでは、リモートプラズマ処理装置を用い、酸化シリコン膜を窒素プラズマに60秒間晒して酸化シリコン膜中に窒素を導入し、窒化酸化シリコン膜を形成した。

【0021】

試料B～Fにおいては、いずれもNOガス中で熱処理を行うことにより、酸化シリコン膜中に窒素を導入して窒化酸化シリコン膜を形成した。試料Bは、熱処理時のガス圧が665Pa、熱処理時間が30秒のものである。試料Cは、熱処

理時のガス圧が 665 Pa、熱処理時間が 15 秒のものである。試料 D は、熱処理時のガス圧が 2660 Pa (20 Torr)、熱処理時間が 15 秒のものである。試料 E は、熱処理時のガス圧が 665 Pa、熱処理時間が 5 秒のものである。試料 F は、熱処理時のガス圧が 665 Pa、熱処理時間が 15 秒のものである。各試料の窒化酸化シリコン膜の厚さは、1.0 ~ 1.2 nm 程度であった。

【0022】

図 1 に、各試料の窒化酸化シリコン膜及びシリコン基板中の厚さ方向の窒素濃度分布を示す。横軸は窒化酸化シリコン膜の表面からの深さを単位「nm」で表し、縦軸は、窒素濃度を単位「原子/cm³」で表す。なお、窒素濃度の測定には、二次イオン質量分析 (SIMS) 法を用いた。

【0023】

試料 B ~ F の場合には、窒化酸化シリコン膜の厚さ方向の中心よりもやや深い位置で、窒素濃度が最大値を示している。これに対し、試料 A の場合には、窒化酸化シリコン膜の厚さ方向の中心よりも浅い位置で、窒素濃度が最大値を示している。この結果からわかるように、プラズマによる窒化を行うことにより、表面近傍に大量の窒素を導入することが可能になる。

【0024】

図 2 に、各試料の、窒化酸化シリコン膜とシリコン基板との界面における窒素濃度と、電気的特性との関係を示す。横軸は、界面における窒素濃度を単位「原子%」で表し、縦軸は、相互コンダクタンス (Gm) と反転容量換算膜厚 (Teff) との積を、単位「nm × S」で表す。ここで、反転容量換算膜厚とは、基板の導電型を反転させた状態で測定された基板とゲート電極間の容量と酸化シリコンの誘電率とから計算したゲート絶縁膜の膜厚を意味する。すなわち、ゲート絶縁膜が酸化シリコンで形成されていると仮定した時の、ゲート絶縁膜の換算膜厚を意味する。

【0025】

図 2 から、MISFET の電気的特性は、窒化酸化シリコン膜とシリコン基板との界面における窒素濃度と、ほとんど相間関係が無いことがわかる。

次に、X線光電子分光 (XPS) 法を用いて、窒化酸化シリコン膜中の窒素原

子の結合状態を調べた。X線の励起源としてMg-k α 線を用い、取り出し角90°で、1s軌道から放出される光電子のエネルギースペクトルを測定した。

【0026】

図3に、1つの試料の測定結果(XPSスペクトル)を示す。横軸は結合エネルギーを単位「eV」で表し、縦軸は検出された光電子数を単位「カウント/s」で表す。図中の太線○が、窒素原子の1s軌道から放出される光電子のエネルギースペクトルのピーク(N1sピーク)を示す。複数の試料の測定結果から、左右非対称なN1sピークが観測された。このため、N1sピークが少なくとも2つのピークに分離できることがわかる。

【0027】

複数の試料の測定結果から、N1sピーク○が、代表的な2つのピークP₁とP₂に分離ができることがわかった。2つのピークP₁とP₂に対応する化学構造は明確には解明されていない。ただし、2つのピークP₁とP₂が、窒化シリコン(Si₃N₄)における窒素の1s軌道の電子の結合エネルギーよりも大きな位置に現れていることから、これらのピークは窒化酸化物に対応すると考えられる。例えば、窒素を中心と考えると、ピークP₁及びP₂は、図4(A)または(B)に示すように、窒素原子の3本の結合手がシリコン原子と結合し、3個のシリコン原子の各々が、酸素原子及び窒素原子と結合している構造、または、図4(C)に示すように、窒素原子の3本の結合手のうち2本がシリコン原子と結合し、残りの1本が酸素原子と結合している構造に対応していると考えられる。

【0028】

ピークN1sを2つのピークP₁とP₂とに分離すると、ピークN1sから、2つのピークP₁及びP₂を差し引いた時、ピークP₁及びP₂よりも低エネルギー側に余りの生ずるピーク形状を示す試料があった。このようなピークN1sを分離するためには、ピークP₁及びP₂以外に、低エネルギー側にもう一つのピークP₃を設定する必要がある。

【0029】

新たに設定されたピークP₃の中心エネルギーは、窒化シリコンの結合エネルギーに近い。このため、ピークP₃は、図4(D)に示すように、窒素原子の3本の

結合手がすべてシリコン原子と結合し、3個のシリコン原子の各々の残りの3本の結合手がすべて窒素原子と結合した構造に対応すると考えられる。本明細書において、この構造を、「 NSi_3 (Si はすべてNと結合) 構造」と記す。

【0030】

なお、2つのピーク P_1 及び P_2 より高エネルギー側にも余りが生ずるため、高エネルギー側にピーク P_4 を設定する必要もある。

図3の破線Sは、4つの分離されたピーク P_1 ～ P_4 の和を表し、太線Oで示した測定結果によく整合していることがわかる。なお、破線Bは、太線Oのピークから破線Sのピークを差し引いた結果を表す。

【0031】

図5に、 NSi_3 (Si はすべてNと結合) 構造の密度と、電気的特性との関係を示す。横軸は、 NSi_3 (Si はすべてNと結合) 構造の密度を単位「原子%」で表し、縦軸は、相互コンダクタンス (Gm) と反転容量換算膜厚 (Teff) との積を、単位「nm×S」で表す。

【0032】

NSi_3 (Si はすべてNと結合) 構造の密度は、下記の方法により求めた。まず、XPSにより、窒化酸化シリコン膜の $Si2p$ のピーク、 $N1s$ のピーク、及び $O1s$ のピークを測定した。これら3つのピークの面積の比から、 Si 、 N 、及び O の原子密度の比を計算した。

【0033】

図5からわかるように、 NSi_3 (Si はすべてNと結合) 構造の密度と、電気的特性との間には、ほとんど相関関係は見られない。

図6に、窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率と、電気的特性との関係を示す。横軸は、窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率の逆数を、単位「1/%」で表し、縦軸は、相互コンダクタンス (Gm) と反転容量換算膜厚 (Teff) との積を、単位「nm×S」で表す。窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率は、図3に示したピーク P_3 の面積を、4つの分離されたピーク P_1 ～ P_4 の和に相当するピークSの面積で除したものである。

【0034】

窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率の逆数が小さくなると、 $Gm \times Teff$ も徐々に小さくなり、窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率の逆数が 0.05 を下回ったあたりから、 $Gm \times Teff$ が急激に小さくなっている。大きな相互コンダクタンスを確保するために、窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率の逆数を 0.05 以上にすることが好ましい。すなわち、窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率を 20% 以下にすることが好ましい。

【0035】

ゲート絶縁膜の厚さが薄くなると、特開平11-204787号公報に開示された構造、すなわち、窒素原子をゲート絶縁膜と半導体基板の界面近傍にのみ導入した構造を作製することが困難になる。この様な場合にも、上記実施例による方法を用いて窒化酸化シリコン膜を分析することにより、MISFETの電気的特性を予測することが可能になる。特に、ゲート絶縁膜の厚さが 3 nm 以下の場合に、上記実施例による評価方法が有効であろう。

【0036】

上記実施例では、シリコン基板表面を酸化して酸化シリコン膜を形成し、この酸化シリコン膜を窒化して窒化酸化シリコン膜を形成した。この手順を逆にして、まずシリコン基板表面を窒化して窒化シリコン膜を形成し、この窒化シリコン膜を酸化して形成した窒化酸化シリコン膜を分析する場合にも、上記実施例は有効であろう。

【0037】

図7に、3つの試料X、Y、及びZの窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率、及びその逆数を示す。試料X、Y、及びZは、処理温度、処理時間、ガス流量、圧力等のプロセス条件を同一にして、異なる時期に作製したものである。窒素原子総量に対する NSi_3 (Si はすべて N と結合) 構造の存在比率のばらつきが非常に少なく、安定していることがわかる。このため、形成された窒化酸化シリコン膜の窒素原子総量に対する NSi_3 (Si

i はすべて N と結合) 構造の存在比率を測定することにより、窒化酸化シリコン膜形成時のプロセス条件の良否を判定することができる。

【0038】

なお、半導体装置を製造するにあたって、エリプソメータによる光学膜厚の測定、S I M S や X P S による単純な N 濃度測定、コロナチャージや H g 電極等を用いた電気的容量測定、及び固定電荷測定では、製品の品質保証、及び製造装置の安定性の管理を十分行うことができない。

【0039】

次に、図 8 を参照して、本願発明の実施例による半導体装置の製造方法について説明する。半導体集積回路装置においては、入出力回路と内部回路とで電源電圧が異なる場合がある。この様な場合、回路の信頼性を確保するために、印加されるゲート電圧に応じて、ゲート絶縁膜の厚さを適切に選択することが好ましい。また、内部回路内においても、M I S F E T の目的に応じてゲート絶縁膜の厚さを適切に設定する場合がある。例えば、高速動作が求められるM I S F E T のゲート絶縁膜が、低消費電力が求められるM I S F E T のゲート絶縁膜よりも薄く設計される。図 8 に示した半導体装置は、ゲート絶縁膜の厚さが異なる 2 つのM I S F E T を含む。

【0040】

図 8 (A) に示すように、シリコンからなる半導体基板 1 の表層部に、シャロートレンチアイソレーション (S T I) により素子分離絶縁領域 2 を形成する。素子分離絶縁領域 2 により、活性領域 3 及び 4 が画定される。不純物濃度調整のためのイオン注入を行う。

【0041】

活性領域 3 及び 4 の表面上に、800°C の水蒸気酸化法により、厚さ 7 nm の酸化シリコン膜 5 を形成する。活性領域 4 の表面をレジストパターン 6 で覆い、活性領域 3 の表面上に形成された酸化シリコン膜 5 をフッ酸で除去する。その後、レジストパターン 6 を除去する。

【0042】

図 8 (B) に示すように、活性領域 3 の表面にシリコン基板 1 が露出する。活

性領域4の表面上には、酸化シリコン膜5が残っている。

図8 (C) に示すように、乾燥酸素雰囲気中で2回目の酸化を行う。活性領域3の表面上に、酸化シリコン膜5よりも薄い厚さ1.2 nmの酸化シリコン膜10が形成される。活性領域4の表面上の酸化シリコン膜5も、第2回目の酸化によりわずかに厚くなる。

【0043】

同様の工程を繰り返すことにより、3種類以上の厚さを有する酸化シリコン膜を形成することも可能である。

ダウンフロー型プラズマ装置による窒素プラズマ、NO、またはN₂O等の窒化性雰囲気中で熱処理を行うことにより、酸化シリコン膜5及び10を窒化する。これにより、窒化酸化シリコンからなるゲート絶縁膜5及び10が形成される

【0044】

ゲート絶縁膜5及び10内の窒素原子総量に対するNSi₃ (SiはすべてNと結合)構造の存在比率を求める。これは、上述したように、図3に示したN1sピークを測定し、このピークを分離することにより求めることができる。測定結果と、図6に示したグラフから、作製されるMISFETのGm×Teffの値を予測することができる。窒素原子総量に対するNSi₃ (SiはすべてNと結合)構造の存在比率が20%以下であれば、良好な電気的特性が期待できる。また、窒化酸化シリコン膜形成までのプロセス条件が良好であったと判断できる

【0045】

窒素原子総量に対するNSi₃ (SiはすべてNと結合)構造の存在比率が20%よりも多い場合には、窒化酸化シリコン膜形成までのプロセス条件が、設定値からずれないと判断される。各製造装置、特に窒化装置やガス供給系の保守点検を行い、設定されたプロセス条件に整合するように装置の調整を行う。なお、プロセス条件の良否の判定基準を20%以外の値にしてもよい。例えば、特性のばらつきを管理するために、窒素原子総量に対するNSi₃ (SiはすべてNと結合)構造の存在比率が10~15%の範囲にあることを良否の判定基準とし

てもよい。

【0046】

図8 (D) に示すように、多結晶シリコンからなるゲート電極11の形成、ソース及びドレインのエクステンション部15の形成のためのイオン注入、ソース及びドレイン領域内の半導体基板表層部の不純物プロファイル調整のためのイオン注入（例えばポケット注入）、サイドウォールスペーサ12の形成、ソース及びドレイン領域16の形成のためのイオン注入を行う。

【0047】

上記実施例によると、ゲート絶縁膜を形成した後、MISFETを形成する前に、MISFETの電気的特性を予測することができる。また、窒化酸化シリコン膜形成時のプロセス条件の良否を判定することができる。

【0048】

半導体装置の製造に採用される酸化方法、窒化方法や、ゲート絶縁膜の膜厚が変更された場合にも、種々の条件で窒化酸化シリコン膜を形成し、窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率を測定することにより、好適なプロセス条件を見つけ出すことができる。これにより、開発効率を高めることが可能になる。

【0049】

図9に、他の実施例による半導体装置の製造方法について説明する。図9に示したMISFETは、ゲート絶縁膜5が、窒化酸化シリコン膜5aと高誘電率膜5bとの2層構造を有する。その他の構造は、図8 (D) に示したMISFETと同様である。

【0050】

高誘電率膜5bは、例えば HfO_2 、 ZrO_2 、及びそれらのシリケートやアルミネート、または Al_2O_3 で形成される。ゲート絶縁膜5は、シリコン基板1の表面を窒化し、または窒化酸化シリコン膜を形成し、その上に高誘電率膜5bを化学気相成長(CVD)等により堆積させることにより形成される。

【0051】

窒化酸化シリコン膜5aは、高誘電率膜5bとシリコン基板1とが反応して酸

化シリコン膜が形成されることを防止する。酸化シリコン膜の形成を防止することにより、ゲート絶縁膜5の誘電率の実質的な低下を回避することができる。

【0052】

この場合にも、窒化シリコン膜5a中の窒素原子総量に対する $\text{N} \text{Si}_3$ (Si はすべてNと結合)構造の存在比率が20%以下となるようにプロセス条件を調整することにより、MISFETの電気的特性を高めることができる。

【0053】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0054】

上記実施例から、以下の付記に示された発明が導出される。

(付記1) 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコンで形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、

前記ゲート絶縁膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である半導体装置。

【0055】

(付記2) 前記ゲート絶縁膜の厚さが3nm以下である付記1に記載の半導体装置。

(付記3) 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコン膜と、該窒化酸化シリコン膜よりも誘電率の高い高誘電率膜とがこの順番に積層されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、
前記ゲート電極の両側に配置されたソース及びドレイン領域と
を有し、

前記窒化シリコン膜の中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である半導体装置。

【0056】

(付記4) 半導体基板の表面上に窒化酸化シリコン膜を形成する工程と、
前記窒化酸化シリコン膜の上に、ゲート電極用の導電膜を形成する工程と、
前記導電膜をパターニングして、ゲート電極を残す工程と、
前記ゲート電極の両側の半導体領域に不純物を注入し、ソース及びドレイン領域を形成する工程と
を有し、

前記窒化酸化シリコン膜を形成する工程において、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下になる条件で前記窒化酸化シリコン膜を形成する半導体装置の製造方法。

【0057】

(付記5) 前記窒化酸化シリコン膜を形成する工程が、
前記半導体基板の表面上に酸化シリコン膜を形成する工程と、
前記酸化シリコン膜を窒化する工程と
を含む付記4に記載の半導体装置の製造方法。

【0058】

(付記6) 前記窒化酸化シリコン膜を形成する工程が、
前記半導体基板の表面上に窒化シリコン膜を形成する工程と、
前記窒化シリコン膜を酸化する工程と
を含む付記4に記載の半導体装置の製造方法。

【0059】

(付記7) 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率を測定する工程と、

測定された存在比率に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたMISFETの特性を評価する工程と
を有する半導体装置の特性評価方法。

【0060】

(付記8) 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定する工程と、

前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離する工程と、

前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比を求める工程と、

求められたピークの面積の比に基づいて、前記窒化酸化シリコン膜をゲート絶縁膜として用いたMISFETの特性を評価する工程と
を有する半導体装置の特性評価方法。

【0061】

(付記9) 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と、前記窒化酸化シリコン膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率を測定する工程と、

測定された存在比率に基づいて、前記窒化酸化シリコン膜の形成工程における

プロセス条件の妥当性を判断する工程と
を有するプロセス条件評価方法。

【0062】

(付記10) 半導体基板の表面上に、窒化酸化シリコン膜を形成する工程と

前記窒化酸化シリコン膜中の窒素原子の1s軌道の電子のエネルギースペクトル
をX線光電子分光法により測定する工程と、

前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離する工程と、

前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2の
ピークの面積の比を求める工程と、

求められたピークの面積の比に基づいて、前記窒化酸化シリコン膜の形成工程
におけるプロセス条件の妥当性を判断する工程と
を有するプロセス条件評価方法。

【0063】

(付記11) 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコンで形成さ
れたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域と
を有し、

前記ゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線
光電子分光法により測定し、前記X線光電子分光法により得られたピークを、窒
化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で
最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピーク
よりも低エネルギー側の1つの第2のピークに分離したとき、前記複数の第1のピ
ークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比が2

0%以下である半導体装置。

【0064】

(付記12) 前記ゲート絶縁膜の厚さが3nm以下である付記11に記載の半導体装置。

(付記13) 半導体基板と、

前記半導体基板の表面の一部の領域上に配置され、窒化酸化シリコン膜と、該窒化酸化シリコン膜よりも誘電率の高い高誘電率膜とがこの順番に積層されたゲート絶縁膜と、

前記ゲート絶縁膜の上に配置されたゲート電極と、

前記ゲート電極の両側に配置されたソース及びドレイン領域とを有し、

前記ゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトルをX線光電子分光法により測定し、前記X線光電子分光法により得られたピークを、窒化シリコンにおける窒素原子の1s軌道の電子のエネルギーよりも高エネルギー側で最大値を示す少なくとも2つの第1のピーク、及び前記少なくとも2つのピークよりも低エネルギー側の1つの第2のピークに分離したとき、前記複数の第1のピークと前記第2のピークとの面積の和に対する前記第2のピークの面積の比が20%以下である半導体装置。

【0065】

【発明の効果】

以上説明したように、本発明によれば、窒化酸化シリコンからなるゲート絶縁膜をXPS法で分析することにより、MISFETの電気的特性を予測することができる。また、窒化酸化シリコン膜の形成工程のプロセス条件の良否を判定することができる。

【図面の簡単な説明】

【図1】 作製した試料のゲート絶縁膜中の、深さ方向の窒素濃度分布を示すグラフである。

【図2】 試料のゲート絶縁膜とシリコン基板との界面の窒素濃度と、Gm × Tef fとの関係を示すグラフである。

【図3】 1つの試料のゲート絶縁膜中の窒素原子の1s軌道の電子のエネルギースペクトル、及び検出されたピークを複数のピークに分離した結果を示すグラフである。

【図4】 ゲート絶縁膜中の窒素原子の結合状態の例を示す化学構造図である。

【図5】 試料のゲート絶縁膜中の NSi_3 (Si はすべてNと結合) 構造の密度と、 $Gm \times Tef_f$ との関係を示すグラフである。

【図6】 試料のゲート絶縁膜中の窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率の逆数と、 $Gm \times Tef_f$ との関係を示すグラフである。

【図7】 同一条件で作製した試料の窒化シリコン膜中の窒素原子総量に対する NSi_3 (Si はすべてNと結合) 構造の存在比率、及びその逆数を示すグラフである。

【図8】 実施例による半導体装置の製造方法を説明するための製造途中の装置断面図、及び半導体装置の断面図である。

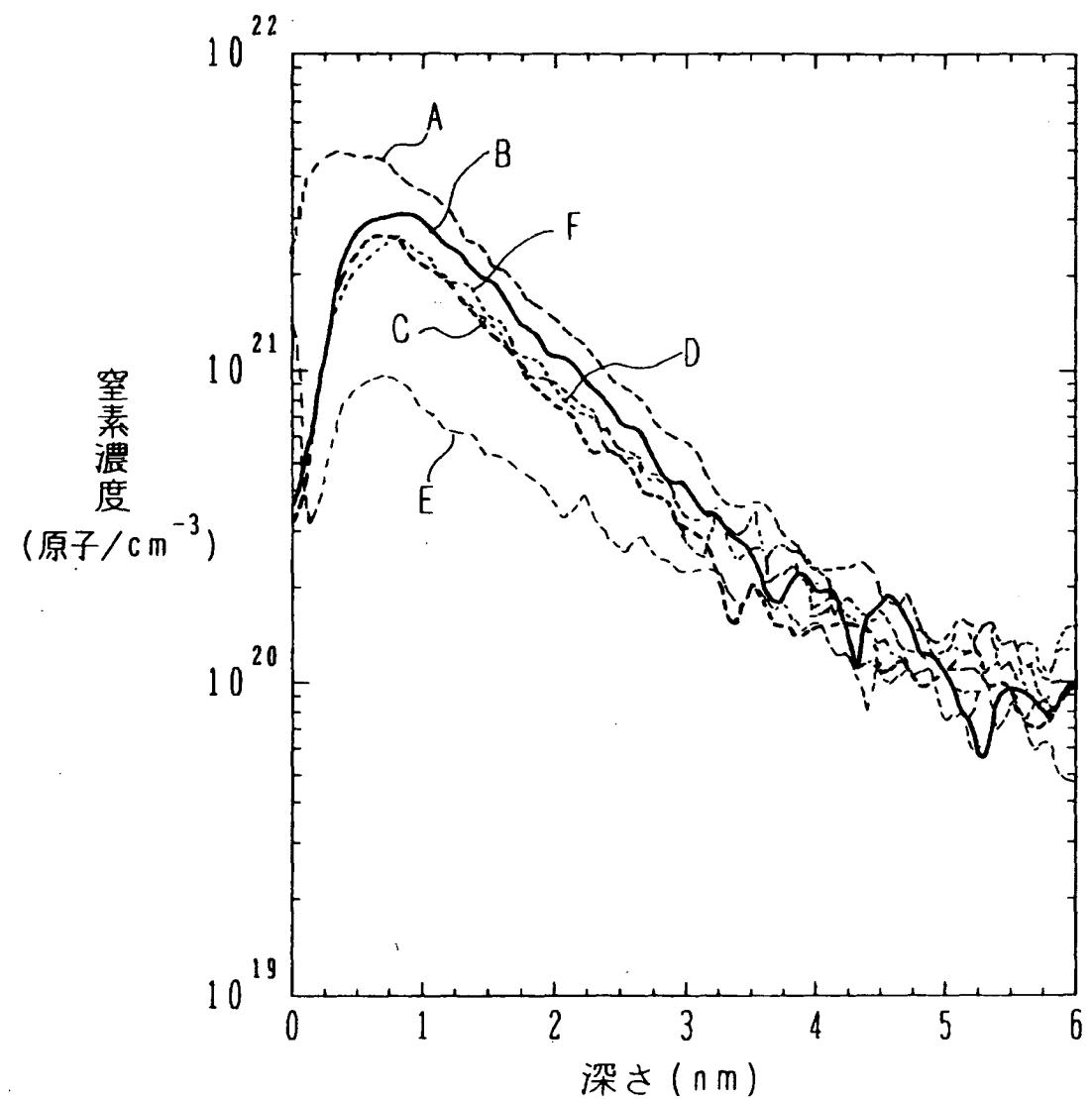
【図9】 他の実施例による半導体装置の断面図である。

【符号の説明】

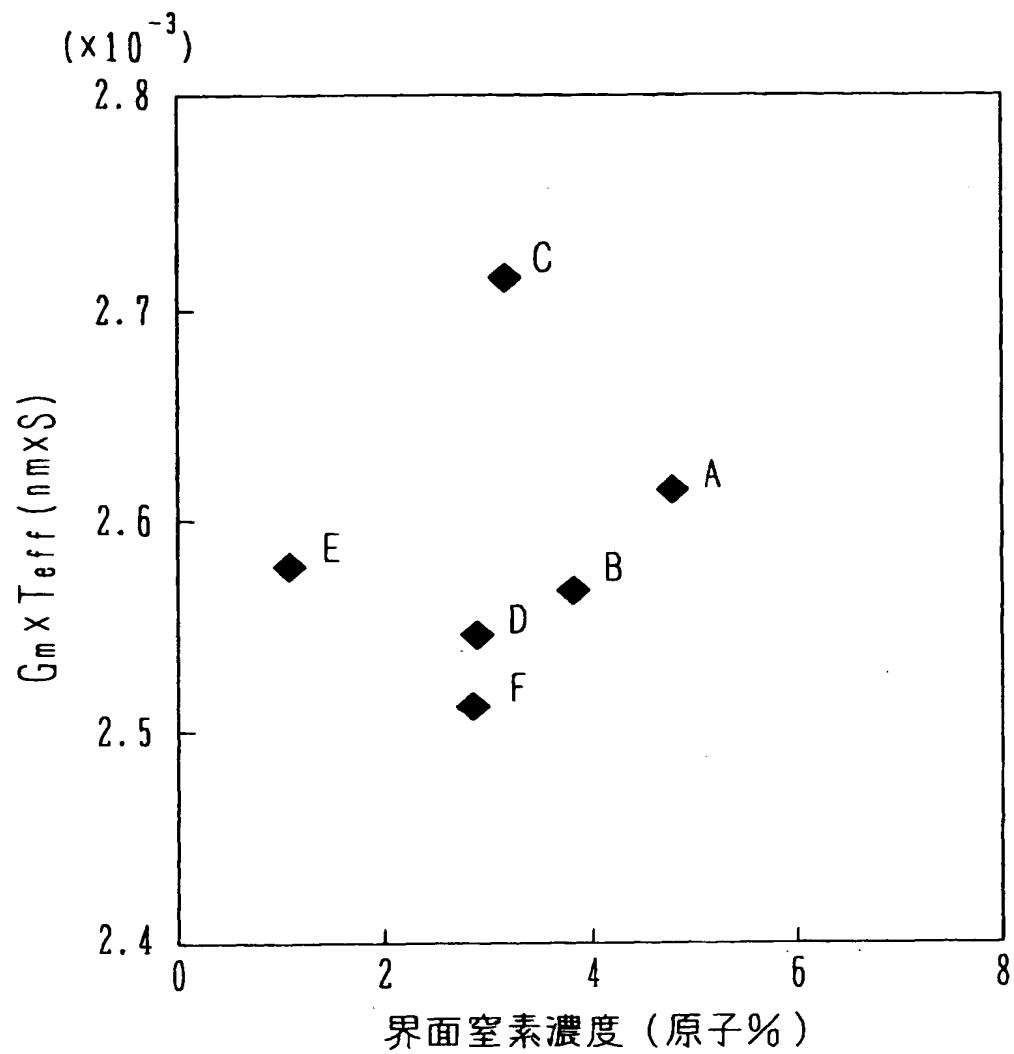
- 1 半導体基板
- 2 素子分離絶縁領域
- 3、4 活性領域
- 5、10 ゲート絶縁膜
- 6 レジストパターン
- 11 ゲート電極
- 12 サイドウォールスペーサ
- 15 エクステンション部
- 16 ソース及びドレイン領域

【書類名】 図面

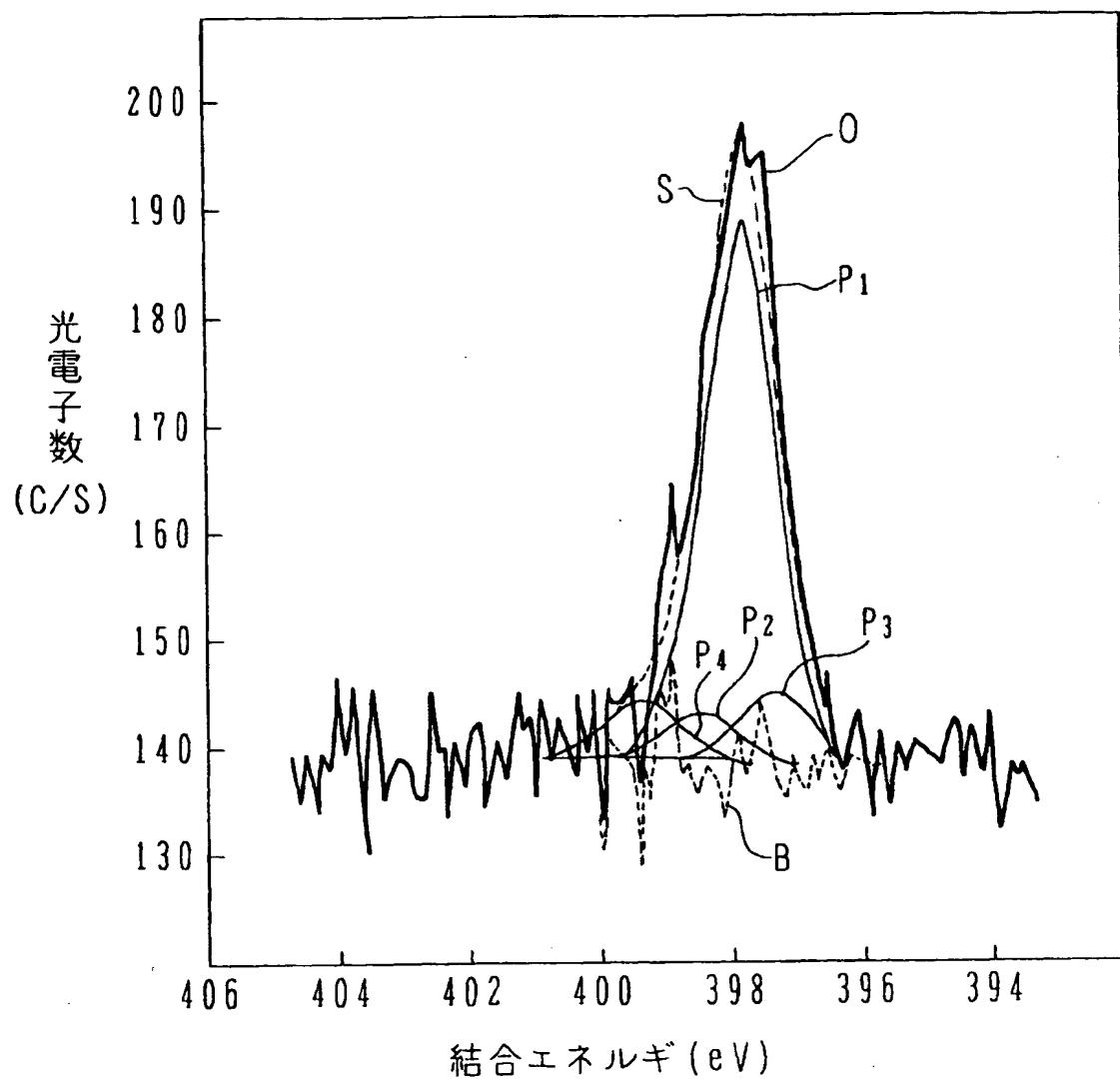
【図1】



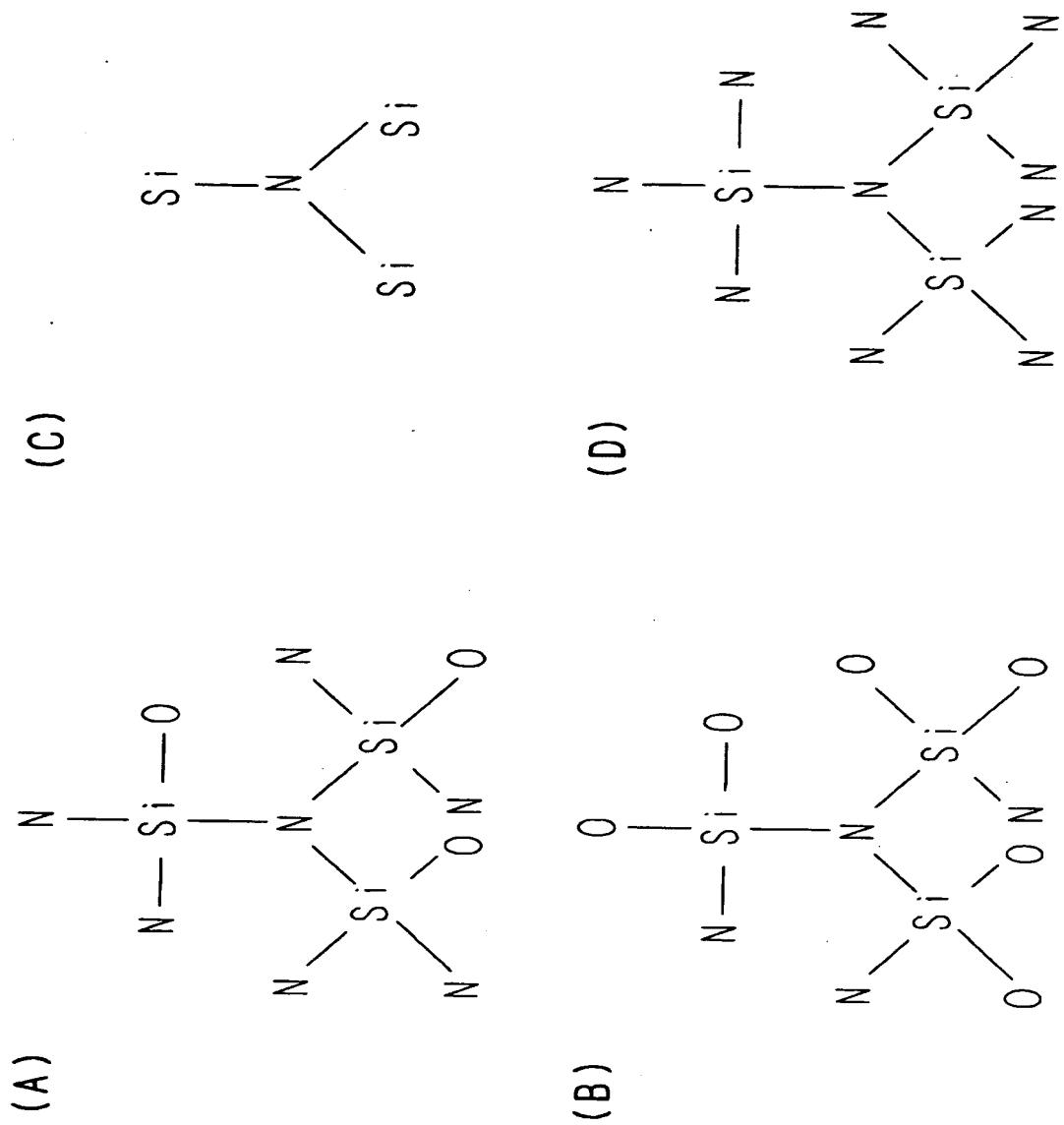
【図2】



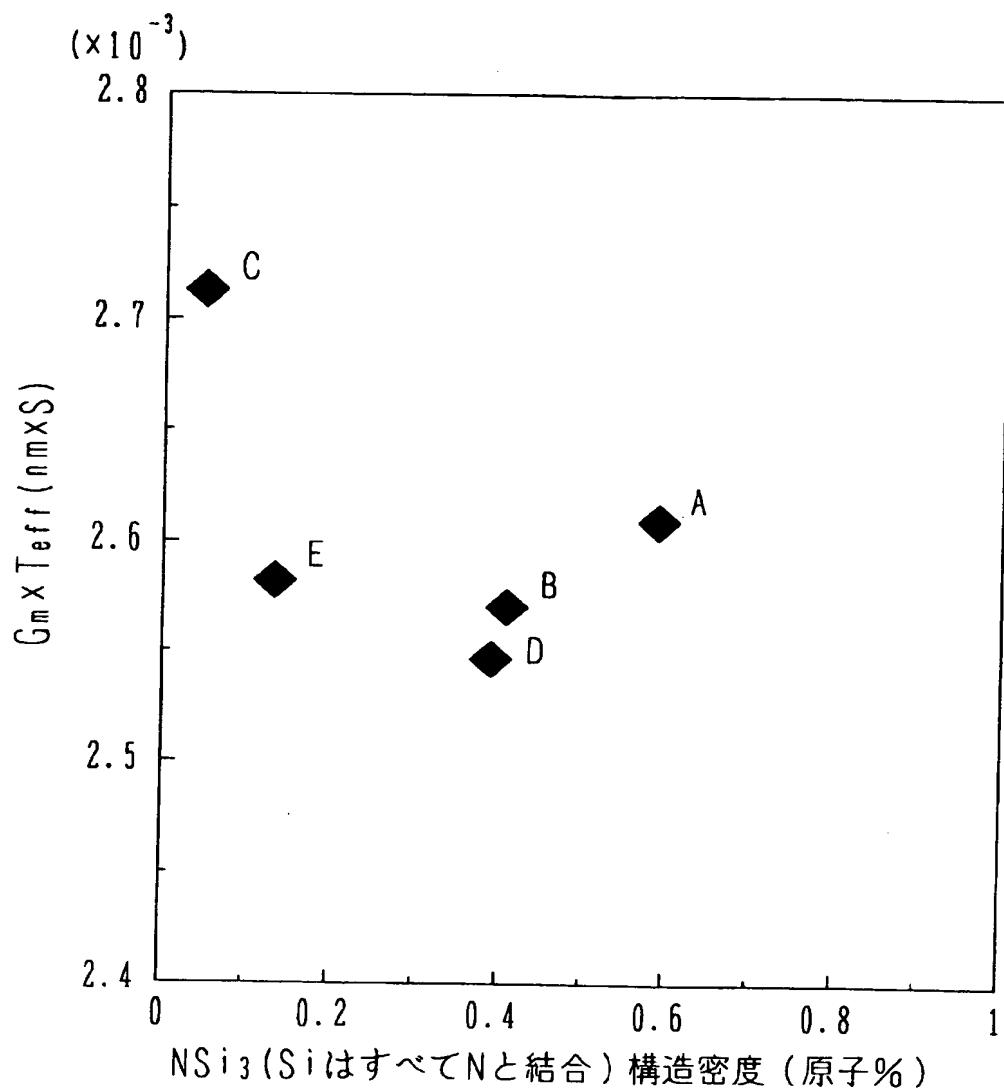
【図3】



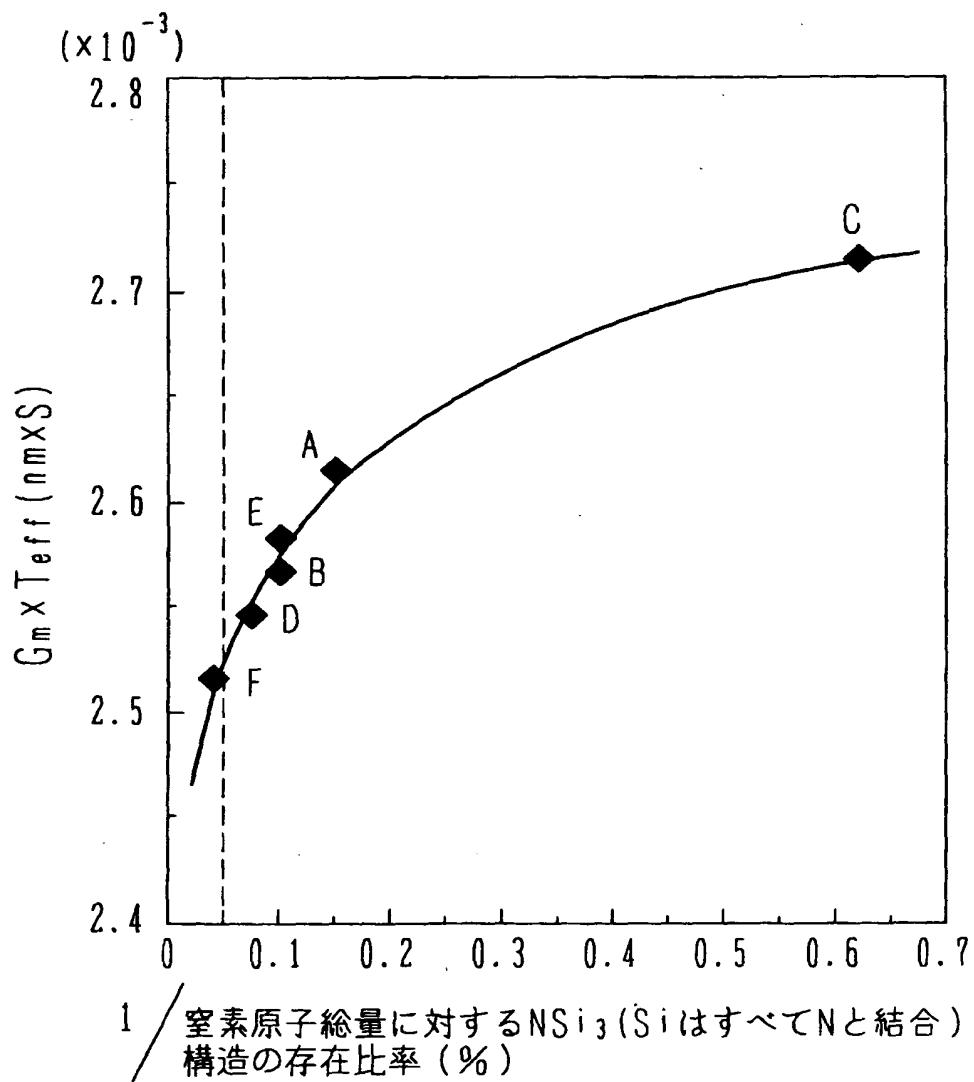
【図4】



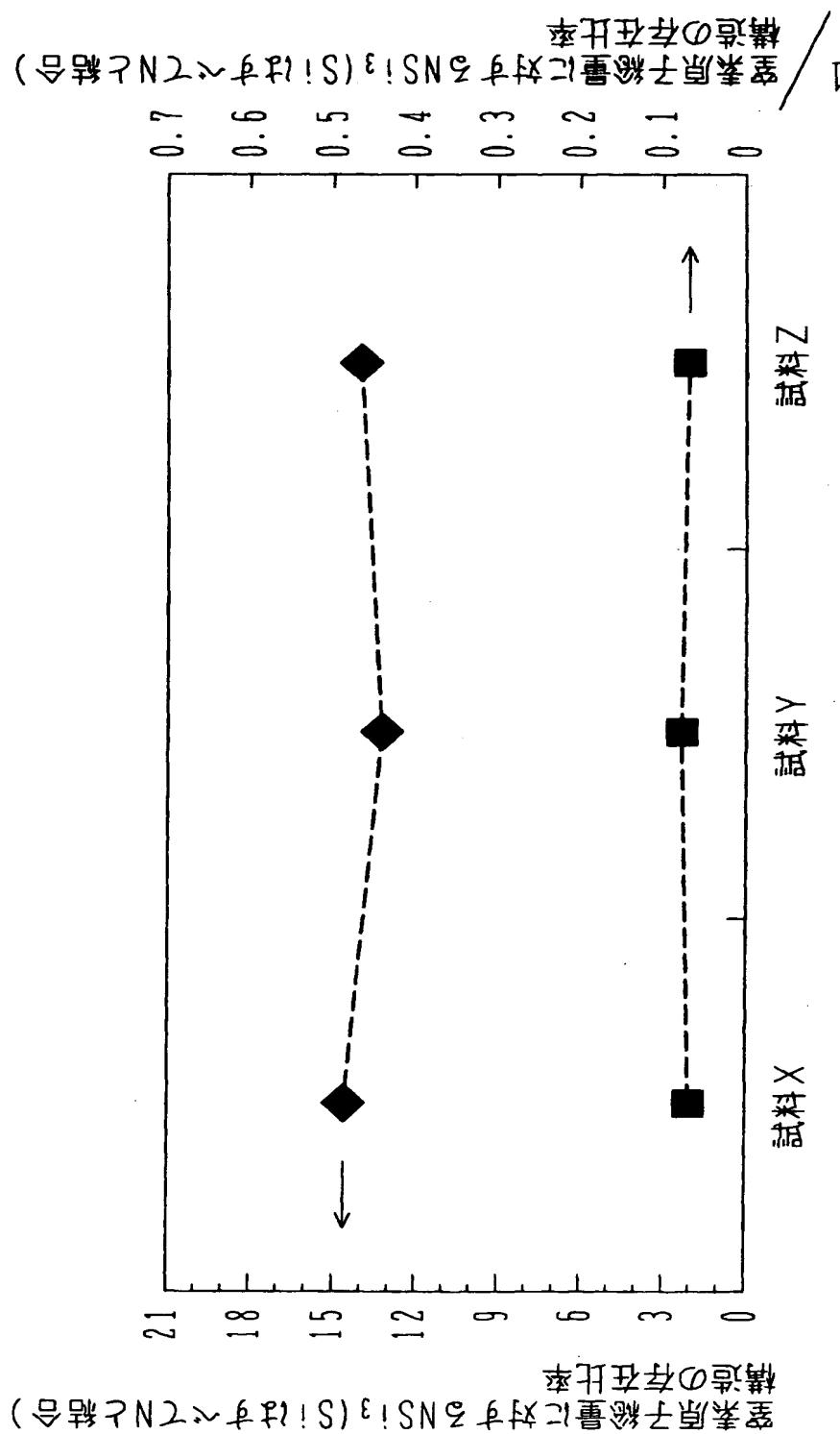
【図5】



【図6】

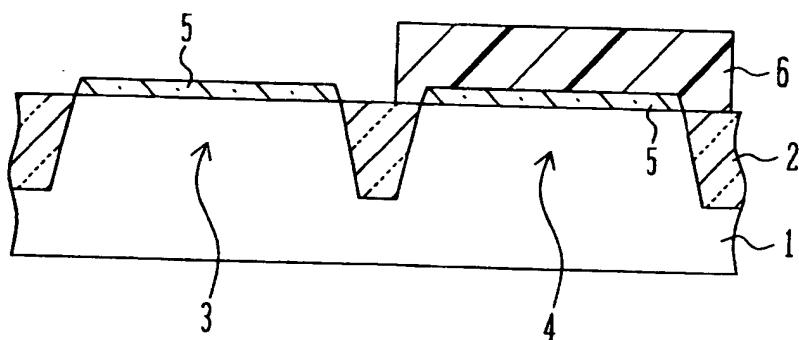


【図7】

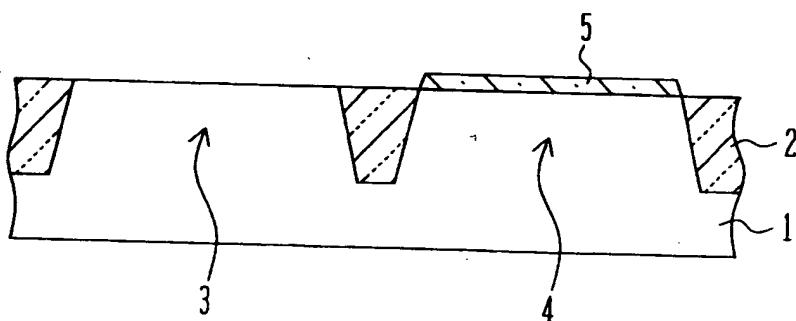


【図8】

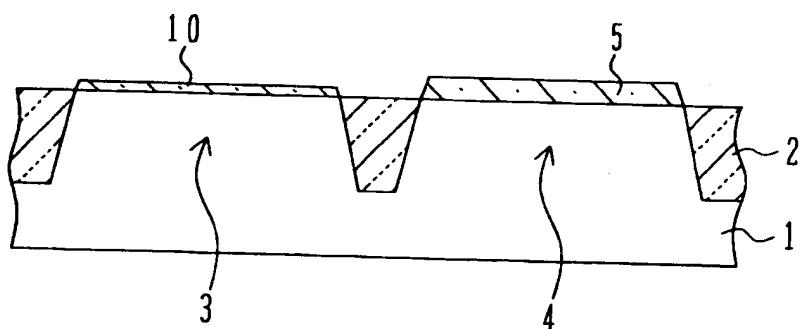
(A)



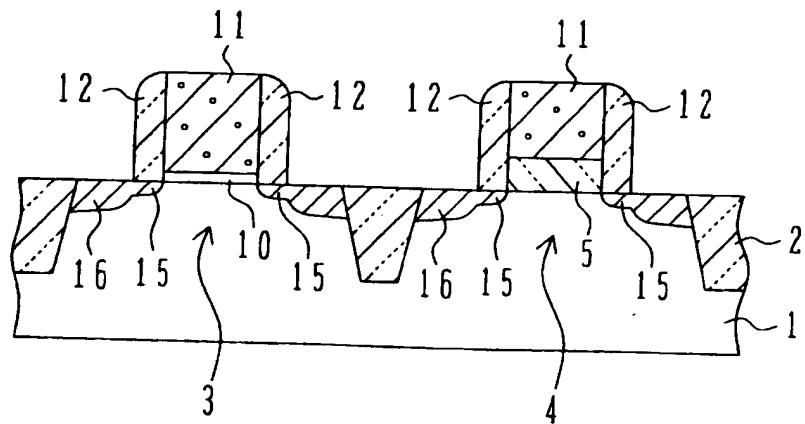
(B)



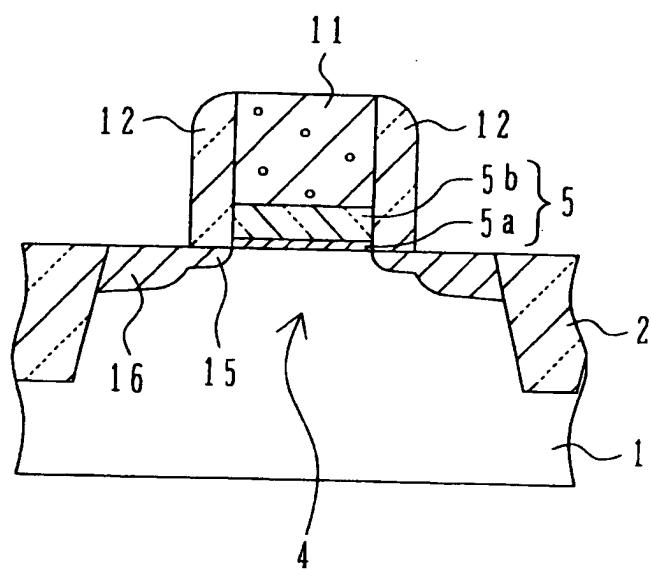
(C)



(D)



【図9】



【書類名】 要約書

【要約】

【課題】 ゲート絶縁膜に窒化酸化シリコンを用い、電気的特性に優れた半導体装置を提供する。

【解決手段】 半導体基板の表面の一部の領域上に、窒化酸化シリコンで形成されたゲート絶縁膜が配置されている。ゲート絶縁膜の上にゲート電極が配置されている。ゲート電極の両側にソース及びドレイン領域が配置されている。ゲート絶縁膜中の窒素原子のうち、3本の結合手がすべてシリコン原子と結合し、当該窒素原子に結合している3個のシリコン原子の各々の残りの3本の結合手がすべて他の窒素原子と結合している窒素原子の、窒素原子総量に対する存在比率が20%以下である。

【選択図】 図6

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社